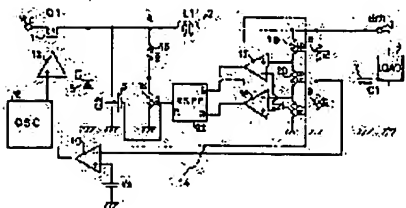


(43)Date of publication of application : 09.07.1999

(72)Inventor : AOYAMA TADAO

SOLUTION: When a main switching element 1 is turned on, the signal of a logical value 'high' is outputted from a fourth comparator 18, and an RSFF (set reset flip flop) 22 is reset, and the gate of a switching element 6 for commutation is put in such a condition that the logical value is low, so that the switching element 6 for commutation is turned off. On the other hand, when the main switching element 1 is turned off, the signal of the logical value which is high is outputted from a third comparator 17, and the RSFF 22 is set, and the gate of the switching element 6 for commutation is put in such condition that the logical value is high, so the switching element 6 for commutation is turned off, and the main switching element 1 and the switching element 6 for commutation are alternately turned on and turned off.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-215567

(43)公開日 平成10年(1998) 8月11日

(51)Int.Cl.⁶

H 0 2 M 3/155

識別記号

F I

H 0 2 M 3/155

H

審査請求 未請求 請求項の数3 O L (全 5 頁)

(21)出願番号 特願平9-15579

(22)出願日 平成9年(1997) 1月29日

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 水本 正夫

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72)発明者 鈴木 亮

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

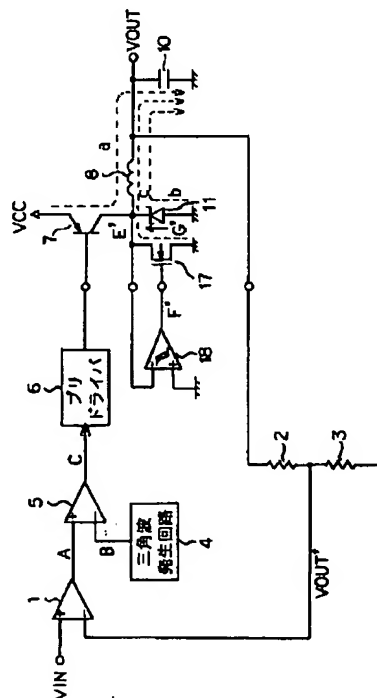
(74)代理人 弁理士 安富 耕二 (外1名)

(54)【発明の名称】 電源回路

(57)【要約】

【課題】 回路素子数を削減して従来と同等の効果を得る電源回路を提供する。

【解決手段】 バイポーラトランジスタ7のコレクタの状態をヒステリシス型比較器18を用いて検出し、ショットキーダイオード11に代わりMOSトランジスタ17をオンさせる。これより、回路素子数を従来に比べて大幅に削減でき、従来と同等の効果も得ることができる。



【特許請求の範囲】

【請求項1】 入力電圧と負荷を駆動する為の出力電圧との誤差を検出し、誤差信号を出力する誤差増幅器と、前記誤差信号に応じたデューティで第1トランジスタをスイッチングさせ、前記第1トランジスタがオンしている時はコイルを介してコンデンサを充電させるスイッチング回路と、前記第1トランジスタがオンからオフした時は前記コイルの逆起電圧の影響を受け前記コイルを介して前記コンデンサを充電させるダイオードとを設け、前記コンデンサの端子電圧を前記出力電圧とする電源回路において、
前記ダイオードに並列接続された第2トランジスタと、前記第1トランジスタの出力電圧と基準電圧とを比較し、前記第2トランジスタを制御するヒステリシス型比較器と、を備え、
前記第1トランジスタがオンからオフした所定時間後、前記ダイオードに代わり前記第2トランジスタを用いて前記コンデンサを充電させることを特徴とする電源回路。

【請求項2】 前記誤差信号は、前記入力信号及び前記出力信号の誤差に応じて変化する直流信号であることを特徴とする請求項1記載の電源回路。

【請求項3】 前記スイッチング回路は、前記誤差信号と所定周期の三角波信号とを比較する比較器を含み、前記比較器のハイ又はローレベルに応じて前記第1トランジスタをスイッチングさせることを特徴とする請求項2記載の電源回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電源電圧より低く安定した出力電圧（負荷の為の電源電圧）を得る電源回路即ちダウンコンバータに関する。

【0002】

【従来の技術】図3は従来の電源回路を示す回路ブロック図である。図3において、(1)は誤差増幅器であり、+端子には入力電圧 V_{IN} （<電源電圧 V_{CC} ）が印加され、-端子には出力電圧 V_{OUT} を直列抵抗

(2) (3)で分圧した電圧 V_{OUT}' が印加される。即ち、誤差増幅器(1)は+端子及び-端子の電圧誤差を零とする様に動作する。例えば、出力電圧 V_{OUT} の上昇に伴い、電圧 V_{OUT}' が入力電圧 V_{IN} より上昇すると、誤差増幅器(1)から出力される誤差信号Aは下降する。また、出力電圧 V_{OUT} の下降に伴い、電圧 V_{OUT}' が入力電圧 V_{IN} より下降すると、誤差増幅器(1)から出力される誤差信号Aは上昇する。誤差信号Aは、誤差増幅器(1)の+端子及び-端子の電位差に応じて変化する直流信号である。(4)は三角波発生回路であり、所定周期の三角波信号Bを発生するものである。(5)は比較器であり、+端子には誤差増幅器

(1)の誤差信号Aが印加され、-端子には三角波発生

回路(4)の三角波信号Bが印加される。比較器(5)から出力される比較信号Cは、誤差信号Aが三角波信号Bより高い時はハイレベルとなり、誤差信号Aが三角波信号Bより低い時はローレベルとなる。(6)はブリドライバであり、比較器(5)の比較信号Cを増幅するものである。(7)はPNP型のバイポーラトランジスタ(第1トランジスタ)であり、ベースにブリドライバ(6)の出力が印加され、スイッチング制御されるものである。コイル(8)、抵抗(9)、コンデンサ(10)は、バイポーラトランジスタ(7)のコレクタエミッタ路を介して電源 V_{CC} と接地との間に直列接続されている。即ち、バイポーラトランジスタ(7)がオンしている時、コンデンサ(10)は電源 V_{CC} から接地へ向かう電流路aを経て充電される。

【0003】(11)はショットキーダイオードであり、バイポーラトランジスタ(7)のコレクタエミッタ路を介して電源 V_{CC} と接地との間に直列接続されている。即ち、バイポーラトランジスタ(7)がオンからオフした時、コイル(8)に逆起電圧が発生する為、コンデンサ(10)はショットキーダイオード(11)を用いた接地から接地への電流路bを経て充電される。

【0004】2段のインバータ(12) (13)は、その入出力間の容量だけ比較信号Cを遅延させた遅延信号Dを出力するものである。(14)は比較器であり、+端子は抵抗(9)の右端と接続されると共に-端子は抵抗(9)の左端と接続され、コンデンサ(10)の充電状態を検出するものである。即ち、比較器(14)は、コンデンサ(10)が充電されている場合は抵抗(9)の左端電位が右端電位より高くなる為ローレベルを出力する。一方、比較器(14)は、コンデンサ(10)が充電されなくなった場合は抵抗(9)の両端電圧が等しくなる為ハイレベルを出力する。(15)はブリドライバであり、遅延信号Dと比較器(14)の出力とが印加される。ブリドライバ(15)は、比較器(14)の出力がローレベルの期間だけ遅延信号Dの通過を許可し、駆動信号Fを出力する。(16)はNチャンネル型のMOSトランジスタであり、ゲートに駆動信号Fが印加され、スイッチング制御されるものである。MOSトランジスタ(16)は、ショットキーダイオード(11)と並列接続されており、駆動信号Fがハイレベルになると、ショットキーダイオード(11)に代わりオンしてコンデンサ(10)を充電させる。コンデンサ(10)の両端電圧が負荷（図示せず）を駆動する為の出力電圧 V_{OUT} となる。

【0005】以下、図3の動作を図4の波形図を用いて説明する。比較信号Cがローレベルの時、バイポーラトランジスタ(7)のコレクタ電圧Eは、バイポーラトランジスタ(7)がオンする為、電源 V_{CC} まで上昇する。この時、コンデンサ(10)は電流路aを経て充電される。その後、比較信号Cがローレベルからハイレベ

ルへ変化した時、バイポーラトランジスタ (7) がオフすると共にコイル (8) に逆起電圧が発生する為、バイポーラトランジスタ (7) のコレクタ電圧 E は、ショットキーダイオード (11) を導通させるのに十分な負電圧まで急峻に下降する。この時、コンデンサ (10) は電流路 b を経て充電される。

【0006】その後、バイポーラトランジスタ (7) のコレクタ電圧 E は、コンデンサ (10) が電流路 b を経て充電を継続できる様に、ショットキーダイオード (11) を導通させることのできる破線の負電圧 (例えば -0.3 ボルト以下) の範囲で上昇しようとする。しかし、駆動信号 F がハイレベルに変化して MOS トランジスタ (16) がオンする為、バイポーラトランジスタ (7) のコレクタ電圧 E は、MOS トランジスタ (16) のドレインソース間電圧 (例えば -0.1 ボルト) まで上昇し、ショットキーダイオード (11) はオフする。この時、コンデンサ (10) は MOS トランジスタ (16) を用いた接地から接地への電流路 c を経て充電される。

【0007】その後、コンデンサ (10) が電流路 a 、 b 、 c を経て満充電になると、MOS トランジスタ (16) がオフし、バイポーラトランジスタ (7) がオープンコレクタとなる為、バイポーラトランジスタ (7) のコレクタ電圧 E は、コイル (8) の振動の影響を受けて振動する。以上より、MOS トランジスタ (16) がショットキーダイオード (11) の代わりにオンする為、ショットキーダイオード (11) の電流 G は、破線の範囲まで流れることなく、実線の短い範囲のみ流れることになり、消費電流を抑えることができる。これは、MOS トランジスタ (16) のオン抵抗がショットキーダイオード (11) のオン抵抗より小さいことに起因する。

【0008】

【発明が解決しようとする課題】しかしながら、MOS トランジスタ (16) のスイッチング制御を実現するには、抵抗 (9)、インバータ (12) (13)、比較器 (14)、プリドライバ (15) が必要であり、回路素子数の増加に伴い、チップ面積が大型化したり、集積回路の外付素子が増加してコストアップする等の問題があった。

【0009】そこで、本発明は、少ない素子数で消費電流を抑えることのできる電源回路を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明は、前記問題点を解決する為に成されたものであり、入力電圧と負荷を駆動する為の出力電圧との誤差を検出し、誤差信号を出力する誤差増幅器と、前記誤差信号に応じたデューティで第1トランジスタをスイッチングさせ、前記第1トランジスタがオンしている時はコイルを介してコンデンサを充電させるスイッチング回路と、前記第1トランジスタ

がオンからオフした時は前記コイルの逆起電圧の影響を受け前記コイルを介して前記コンデンサを充電させるダイオードとを設け、前記コンデンサの端子電圧を前記出力電圧とする電源回路において、前記ダイオードに並列接続された第2トランジスタと、前記第1トランジスタの出力電圧と基準電圧とを比較し、前記第2トランジスタを制御するヒステリシス型比較器と、を備え、前記第1トランジスタがオンからオフした所定時間後、前記ダイオードに代わり前記第2トランジスタを用いて前記コンデンサを充電させることを特徴とする。また、前記誤差信号は、前記入力信号及び前記出力信号の誤差に応じて変化する直流信号であることを特徴とする。更に、前記スイッチング回路は、前記誤差信号と所定周期の三角波信号とを比較する比較器を含み、前記比較器のハイ又はローレベルに応じて前記第1トランジスタをスイッチングさせることを特徴とする。

【0011】

【発明の実施の形態】本発明の詳細を図面に従って具体的に説明する。図1は本発明の電源回路を示す回路ブロック図である。尚、図1の中で、図3と同一素子については同一番号を記すと共にその説明を省略する。図1において、(17)はショットキーダイオード (11) と並列接続されたNチャンネル型のMOS トランジスタ (第2トランジスタ) である。(18)はヒステリシス型の比較器であり、+端子は接地され、-端子はバイポーラトランジスタ (7) のコレクタと接続されている。例えば、比較器 (18) の2つのスレッショルド電圧 V_{thh} 、 V_{thl} を各々 -0.05 ボルト、-0.2 ボルトに設定する。

【0012】以下、図1の動作を図2の波形図を用いて説明する。比較信号 C がローレベルの時、バイポーラトランジスタ (7) のコレクタ電圧 E' は、バイポーラトランジスタ (7) がオンする為、電源 V_{CC} まで上昇する。この時、コンデンサ (10) は電流路 a を経て充電される。その後、比較信号 C がローレベルからハイレベルへ変化した時、バイポーラトランジスタ (7) がオフすると共にコイル (8) に逆起電圧が発生する為、バイポーラトランジスタ (7) のコレクタ電圧 E' は、ショットキーダイオード (11) を導通させるのに十分な負電圧まで急峻に下降する。この時、コンデンサ (10) は電流路 b を経て充電される。尚、バイポーラトランジスタ (7) のコレクタ電圧 E' は急峻に下降する際に比較器 (18) の低い側のスレッショルド電圧 V_{thl} を切る為、比較器 (18) はハイレベルを出力しようとする。しかし、MOS トランジスタ (17) のゲート容量が存在する為、比較器 (18) から出力される駆動信号 F' は比較信号 C の立ち上がりから前記ゲート容量だけ遅延してハイレベルとなる。従って、比較信号 C の立ち上がりから駆動信号 F' の立ち上がりまでの期間は、コンデンサ (10) を充電させる為にショットキーダイオ

ード(11)が必要なのである。

【0013】その後、バイポーラトランジスタ(7)のコレクタ電圧 E' は、コンデンサ(10)が電流路bを経て充電を継続できる様に、ショットキーダイオード

(11)を導通させることのできる破線の負電圧(例えば-0.3ボルト以下)の範囲で上昇しようとする。しかし、駆動信号 F' がハイレベルに変化してMOSトランジスタ(17)がオンする為、バイポーラトランジスタ(7)のコレクタ電圧 E' は、MOSトランジスタ(17)のドレインソース間電圧(例えば-0.1ボルト)まで上昇し、ショットキーダイオード(11)はオフする。この時、コンデンサ(10)はMOSトランジスタ(17)を用いた接地から接地への電流路cを経て充電される。

【0014】その後、コンデンサ(10)が電流路cを経て満充電に近づき、バイポーラトランジスタ(7)のコレクタ電圧 E' が上昇して比較器(18)の高い側のスレッシュホールド電圧 V_{thh} を切ると、比較器(18)から出力される駆動信号 F' がローレベルに変化してMOSトランジスタ(17)がオフし、バイポーラトランジスタ(7)がオープンコレクタとなる為、バイポーラトランジスタ(7)のコレクタ電圧 E' は、コイル(8)の振動の影響を受けて振動する。

【0015】以上より、ショットキーダイオード(11)を流れる電流 G' は、比較信号Cの立ち上がりから駆動信号 F' の立ち上がりまでの極めて短い期間だけで

済み、消費電流を抑えることができる。本発明の実施の形態によれば、ヒステリシス型の比較器(18)を設ける極めて簡単な構成で、従来と同様の効果を得ることができ、チップ面積の大型化を防止でき、外付素子を削減してコストダウンを実現できる。

【0016】

【発明の効果】本発明によれば、ヒステリシス型比較器を設ける極めて簡単な構成で、従来と同様の効果を得ることができ、これより、チップ面積の大型化を防止でき、外付素子を削減してコストダウンを実現できる利点が得られる。

【図面の簡単な説明】

【図1】本発明の電源回路を示す回路ブロック図である。

【図2】図1の動作を示す波形図である。

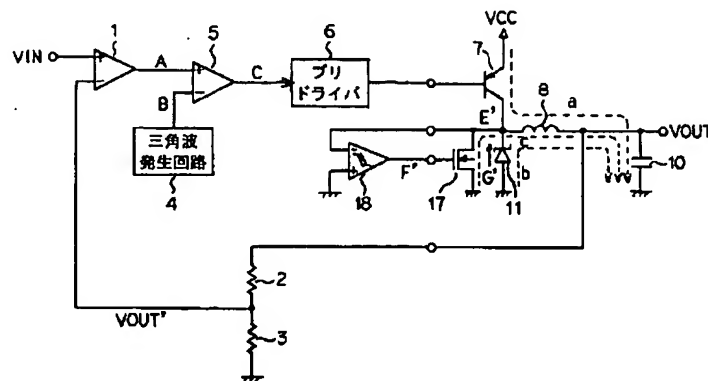
【図3】従来の電源回路を示す回路ブロック図である。

【図4】図3の動作を示す波形図である。

【符号の説明】

- (1) 誤差増幅器
- (5) 比較器
- (7) バイポーラトランジスタ
- (10) コンデンサ
- (11) ショットキーダイオード
- (17) MOSトランジスタ
- (18) ヒステリシス型の比較器

【図1】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-222437

(43)Date of publication of application : 18.08.1995

(51)Int.Cl. H02M 3/155

(21)Application number : 06-010937

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 02.02.1994

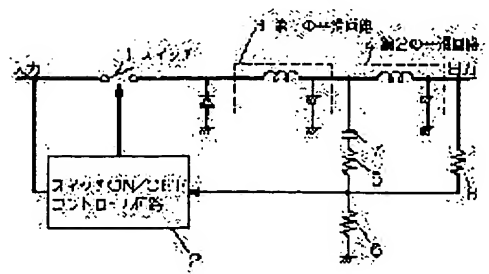
(72)Inventor : KAWAZOE MASAHIRO

(54) SWITCHING POWER-SUPPLY APPARATUS

(57)Abstract:

PURPOSE: To stabilize output voltage independent of a fluctuation in output current.

CONSTITUTION: An AC component is taken out from the output of a first smoothing circuit 3, and a CD component is taken out from the output of a second smoothing circuit 4. The AC component and the DC component are added by feedback gain resistances 5, 8, and fed back to a control circuit 2. Thereby, a final output voltage can be reflected in a control operation.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-222437

(43) 公開日 平成7年(1995)8月18日

(51) Int.Cl.⁶

H 0 2 M 3/155

識別記号

H

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 1 O L (全 3 頁)

(21) 出願番号 特願平6-10937

(22) 出願日 平成6年(1994)2月2日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 川添 正博

神奈川県横浜市港北区綱島東四丁目3番1

号 松下通信工業株式会社内

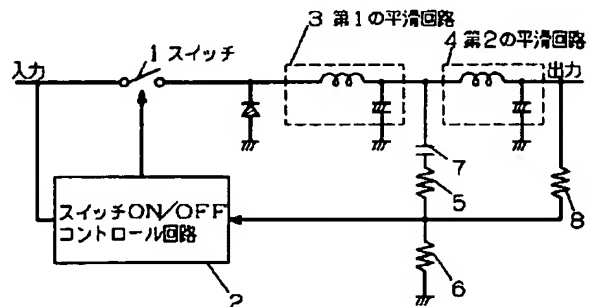
(74) 代理人 弁理士 小鍛冶 明 (外2名)

(54) 【発明の名称】 スイッチング電源装置

(57) 【要約】

【目的】 出力電流変動に対し、出力電圧を安定に出力させる。

【構成】 第1の平滑回路3の出力から交流成分を、第2の平滑回路4の出力から直流成分を取り出す。取り出された交流成分と直流成分をフィードバックゲイン抵抗5、8により加算してコントロール回路2にフィードバックすることにより、最終出力電圧をコントロールに反映させることができる。



【特許請求の範囲】

【請求項1】 コントロール信号に応じてON/OFFするスイッチ手段と、フィードバック電圧に応じて上記スイッチ手段のON/OFFをコントロールする手段と、上記スイッチ手段の出力を平滑する第1の平滑手段と、この第1の平滑手段の出力をさらに平滑し、直流電圧を得るための第2の平滑手段と、上記第1の平滑手段の出力の交流成分を上記コントロール手段にフィードバックする第1のフィードバック手段と、上記第2の平滑手段の出力の直流成分を上記コントロール手段にフィードバックする第2のフィードバック手段とを具備したスイッチング電源装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、電気、電子機器の電源として使用されるスイッチング電源装置に関する。

【0002】

【従来の技術】 図2は従来の降圧型スイッチング電源装置の概略構成図を示している。図2において、1は高速でON/OFF可能なスイッチ（トランジスタ、FET等）、2はスイッチ1のON/OFFをコントロールするコントロール回路、3は通常、インダクタンス

(L)、コンデンサ(C)で構成される第1の平滑回路、4は通常、インダクタンス(L)、コンデンサ

(C)で構成される第2の平滑回路、5は出力電圧をコントロール回路2にフィードバックするためのフィードバックゲインを決定する抵抗、6は抵抗5との関係により出力電圧を決定するための抵抗である。

【0003】そして、コントロール回路2は電圧フィードバックの値がある一定値以下になると、スイッチ1をONし、電圧フィードバックの値がある一定値以上になると、スイッチ1をOFFするというコントロールを行っている。この動作の繰り返しにより必要な直流電圧を得ることが可能である。これは昇圧型のスイッチング電源装置でも同様である。

【0004】

【発明が解決しようとする課題】 しかしながら、上記従来のスイッチング電源装置では、出力電流（負荷）が大きく変化する場合、出力電圧も変化してしまうという問題があった。これは、この装置が第1の平滑回路3の出力電圧を一定にするようにコントロールしているためであり、本来の出力である第2の平滑回路4の出力電圧は、この平滑回路4の持つインピーダンスのために出力電流（負荷）が変化すると影響を受けることによる。

【0005】 本発明は、上記従来の問題を解決するものであり、最終出力電圧をスイッチ手段のコントロールに反映させることができるようにして出力電流（負荷）の変化に関係なく、安定した出力電圧を得ることができるようにしたスイッチング電源装置を提供することを目的とするものである。

【0006】

【課題を解決するための手段】 上記目的を達成するための本発明の技術的手段は、コントロール信号に応じてON/OFFするスイッチ手段と、フィードバック電圧に応じて上記スイッチ手段のON/OFFをコントロールする手段と、上記スイッチ手段の出力を平滑する第1の平滑手段と、この第1の平滑手段の出力をさらに平滑し、直流電圧を得るための第2の平滑手段と、上記第1の平滑手段の出力の交流成分を上記コントロール手段にフィードバックする第1のフィードバック手段と、上記第2の平滑手段の出力の直流成分を上記コントロール手段にフィードバックする第2のフィードバック手段とを具備したものである。

【0007】

【作用】 したがって、本発明によれば、コントロール手段がスイッチ手段を高速でON/OFFするために必要な交流電圧のフィードバックと、出力電流（負荷）が変化しても、出力の直流電圧が変化しないようにするために必要な直流電圧フィードバックとを第1と第2の平滑手段で別々に取り出し、その後、この2つの交流成分の電圧と主に直流成分の電圧とを適当なゲイン抵抗で加算し、コントロール手段にフィードバックすることにより、最終出力電圧をスイッチ手段のコントロールに反映することができる。

【0008】

【実施例】 以下、本発明の一実施例について図面を参照しながら説明する。

【0009】 図1は本発明の一実施例におけるスイッチング電源装置を示す概略構成図である。本実施例においては、降圧型のスイッチング電源装置を示している。

【0010】 図1において、スイッチ1、コントロール回路2、第1の平滑回路3、第2の平滑回路4は図2に示す上記従来例と同様である。本実施例の特徴とするところは、第1の平滑回路3の出力はコンデンサ7によって交流成分のみが取り出され、また、第2の平滑回路4の出力電圧、つまり最終の出力電圧からは主に直流成分が取り出され、これらが適当なゲイン抵抗5、8によって加算され、コントロール回路2にフィードバックされるようになっている点にある。なお、抵抗6は抵抗8との関係によって出力電圧を決定する。

【0011】 以上の構成において、以下、その動作について説明する。コントロール回路2はフィードバック電圧がある一定値以下になると、スイッチ1をONさせ、出力電圧が上るように動作する。また、コントロール回路2はフィードバック電圧が上記一定値より高い別の一定値以上になると、スイッチ1をOFFさせ、出力電圧が下がるように動作する。この動作をスムーズに行うためにフィードバック電圧としては、ほぼ安全に平滑された最終出力電圧は好ましくない。このためフィードバック電圧は第1の平滑回路3の出力から取る。ただ

し、ここからは交流成分だけを取り出す。これを行うのが、コンデンサ7である。そして、第2の平滑回路4の出力からもフィードバック電圧を取る。ただし、ここからは主に直流成分を取り出す。取り出された交流成分と直流成分とは抵抗5、8を通して加算され、抵抗6によってフィードバック電圧として適当なレベルに調整され、コントロール回路2にフィードバックされる。

【0012】このように、上記実施例によれば、コントロール回路2へは、最終出力の直流電圧をバイアス電圧とする第1の平滑回路3の出力の交流電圧をフィードバック

【0013】なお、上記実施例では、降圧型のスイッチング電源装置について説明したが、昇圧型スイッチング電源装置においても同様の利点を有する。

【0014】

【発明の効果】以上説明したように本発明によれば、フ

ィードバック電圧を第1と第2の平滑手段から取り出して加算するようにしているので、最終出力電圧をスイッチ手段のコントロールに反映することができ、出力電流（負荷）の変動に対して安定した直流電圧を供給することができる。

【図面の簡単な説明】

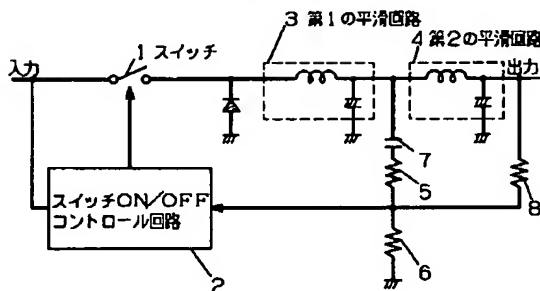
【図1】本発明の一実施例におけるスイッチング電源装置の概略構成図

【図2】従来のスイッチング電源装置の概略構成図

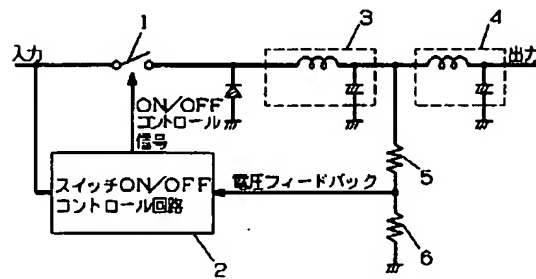
【符号の説明】

- 1 スイッチ
- 2 コントロール回路
- 3 第1の平滑回路
- 4 第2の平滑回路
- 5 交流成分フィードバックゲイン抵抗
- 6 出力電圧設定抵抗
- 7 直流カットコンデンサ
- 8 直流成分フィードバックゲイン抵抗

【図1】



【図2】



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-187649

(43) 公開日 平成11年(1999) 7月9日

(51) Int. Cl.⁸
H 0 2 M 3/155

識別記号

F I
H 0 2 M 3/155

H

審査請求 未請求 請求項の数4 F D (全 7 頁)

(21) 出願番号 特願平9-363726

(22) 出願日 平成9年(1997)12月17日

(71) 出願人 000191238

新日本無線株式会社

東京都中央区日本橋横山町3番10号

(72) 発明者 青山 直生

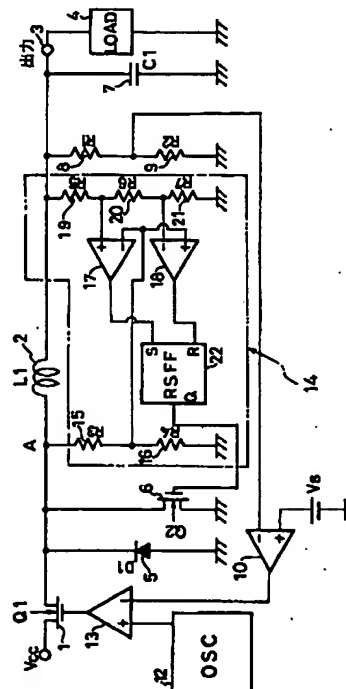
埼玉県上福岡市福岡二丁目1番1号 新日本無線株式会社川越製作所内

(54) 【発明の名称】 同期型DC/DCコンバータ

(57) 【要約】

【課題】 回路の構成が比較的簡単で、かつ、高速動作が可能な同期型のDC/DCコンバータを提供する。

【解決手段】 主スイッチング素子1がオンとなると、第4のコンパレータ18から論理値Highの信号が出力され、RSFF22がリセットされて、転流用スイッチング素子6のゲートが論理値Low状態とされるため、転流用スイッチング素子6は、オフ状態とされる一方、主スイッチング素子1がオフとなると、第3のコンパレータ17から論理値Highの信号が出力され、RSFF22がセットされて、転流用スイッチング素子6のゲートが論理値High状態とされるため、転流用スイッチング素子6は、オン状態となり、主スイッチング素子1と転流用スイッチング素子6とが交互にオン・オフされるようになっている。



【特許請求の範囲】

【請求項1】 入力端と出力端との間に主スイッチング素子とコイルとが直接接続されると共に、前記主スイッチング素子とコイルとの接続点とアースとの間に転流用スイッチング素子が設けられ、前記主スイッチング素子と前記転流用スイッチング素子とが交互に導通、非導通状態とされ、前記出力端に所定の直流出力電圧が得られるよう構成されてなる同期型DC/DCコンバータであって、

前記主スイッチング素子と前記コイルとの接続点の電圧と、前記出力端における電圧とに基づいて、前記転流用スイッチング素子の動作を制御する転流用スイッチング素子制御手段を具備したことを特徴とする同期型DC/DCコンバータ。

【請求項2】 転流用スイッチング素子制御手段は、主スイッチング素子とコイルとの接続点における電圧を分圧する入力側分圧手段と、

出力端における出力電圧を2つの異なる電圧に分圧する出力側分圧手段と、

前記入力側分圧手段により得られた分圧電圧と前記出力側分圧手段により得られた2つの分圧電圧の内、電圧値の高い一方の分圧電圧とを比較する第1の比較器と、前記入力側分圧手段により得られた分圧電圧と前記出力側分圧手段により得られた2つの分圧電圧の内、電圧値の低い他方の分圧電圧とを比較する第2の比較器と、前記第1の比較器の出力信号によりセット状態とされる一方、前記第2の比較器の出力信号によりリセット状態とされ、出力信号が前記転流用スイッチング素子の動作制御に用いられるセット・リセットフリップフロップとを具備してなることを特徴とする請求項1記載の同期型DC/DCコンバータ。

【請求項3】 入力側分圧手段及び出力側分圧手段は、それぞれ別個に設けられた、直列接続された複数の抵抗器から構成されてなるものであることを特徴とする請求項2記載の同期型DC/DCコンバータ。

【請求項4】 主スイッチング素子の動作を制御する主スイッチング素子制御手段と、

出力電圧を分圧する主スイッチング素子制御用出力電圧分圧手段とを具備し、

前記主スイッチング素子制御手段は、前記主スイッチング素子制御用出力電圧分圧手段の分圧電圧に基づいて前記主スイッチング素子の動作を制御し、

前記主スイッチング素子制御用出力電圧分圧手段は、直列接続された複数の抵抗器から構成されてなるもので、当該直列接続された複数の抵抗器は、出力側分圧手段を兼ねるものであることを特徴とする請求項2記載の同期型DC/DCコンバータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、直流電圧の変換を

行うDC/DCコンバータに係り、特に、いわゆる同期型DC/DCコンバータの改良に関するものである。

【0002】

【従来の技術】 従来、この種のDC/DCコンバータとしては、例えば、図3に示されたようなものがある。図3に示された非同期型のDC/DCコンバータは、入力直流電圧 V_{cc} が印加される主スイッチング素子（図3及び図4においては「Q1」と表記）31を、導通（以下、「オン」という。）あるいは遮断（以下、「オフ」という。）させることにより、主スイッチング素子31に接続されたコイル（図3及び図4においては「L1」と表記）32に励起される交流電圧を、転流用ダイオード（図3及び図4において「D1」と表記）33と平滑用コンデンサ（図3及び図4においては「C1」と表記）34によって整流し、出力端子35から負荷（図3及び図4においては「LOAD」と表記）36に出力するように構成されている。

【0003】そして、この非同期型のDC/DCコンバータでは、出力端子35とアースとの間に直列に接続された抵抗器（図3及び図4においては「R1」と表記）37と抵抗器（図3及び図4においては「R2」と表記）38の接続点から出力電圧に対応する大きさのいわゆる分圧電圧が得られ、この分圧電圧がコンパレータ39によって基準電圧 V_s と比較されるようになっていいる。さらに、コンパレータ39の比較結果と、所定周波数の信号を出力する発振器（図3及び図4においては「OSC」と表記）41の出力とがコンパレータ42によって比較され、このコンパレータ42の比較結果に基づいて、主スイッチング素子31がオン・オフ制御されることにより、出力端子35から所定の電圧に変換された直流電圧が出力されるようになっている。

【0004】非同期型のDC/DCコンバータでは、主スイッチング素子31がオフ状態のときに、コイル32の入力側は、転流用ダイオード33を介して接地される。その際、コイル32の入力側は、励起された電流がゼロになるように、完全に接地されるのが望ましいが、実際には、転流用ダイオード33の順方向における電圧降下分だけ、電位差が生じてしまい、完全には接地されない。そのため、非同期型のDC/DCコンバータは、転流用ダイオード33に生じる電圧降下の分だけ、いわゆる電力変換効率が悪化してしまうという問題点があった。

【0005】そこで、かかる問題点を解決し、電力変換効率を向上し得るものとして、例えば、図4に示するような構成を有してなる同期型のDC/DCコンバータが提案されている。この同期型DC/DCコンバータは、転流用ダイオード33と並列に接続され、順方向電圧が転流用ダイオード33よりも低い転流用のスイッチング素子（図4において「Q2」と表記）43を備えている。

そして、この同期型DC/DCコンバータは、主スイッ

チング素子31と転流用のスイッチング素子43を、ロジック回路(図4においては「LOG」と表記)44により交互にオン・オフさせて、コイル32の入力側を転流用のスイッチング素子43を介して接地させ、電力変換効率を向上させるようになっている。

【0006】

【発明が解決しようとする課題】ところで、上述の後者の同期型のDC/DCコンバータでは、ロジック回路44を用いて、主スイッチング素子31と転流用のスイッチング素子43を交互にオン・オフさせているが、このロジック回路44の動作上、主スイッチング素子31と転流用のスイッチング素子43が、同時にオン状態となることを完全に避けることができない。この同期型のDC/DCコンバータにおいて、主スイッチング素子31と転流用のスイッチング素子43が、同時にオン状態となると、主スイッチング素子31の出力側の電圧 V_{cc} が、そのまま転流用のスイッチング素子43を介してアース側に流れてしまい、この2つのスイッチング素子31、43の動作が重複する短時間の間、出力電圧が瞬時零 v 近傍まで低下してしまうという不都合がある。

【0007】そこで、主スイッチング素子31と転流用のスイッチング素子43が、同時にオン状態となることを防ぐために、従来は、例えば、ロジック回路44において、発振器41の動作周波数よりも高速なパルスにより、一定の遅延時間を発生させて、この遅延時間を利用して、主スイッチング素子31と転流用のスイッチング素子43が、同時にオン状態となるタイミングが生じないようなタイムシーケンスを作成するようにすることも行われている。

【0008】しかし、このように、発振器41の動作周波数よりも高速なパルスにより、一定の遅延時間を発生させて、主スイッチング素子31と転流用のスイッチング素子43が、同時にオン状態となるタイミングが生じないようなタイムシーケンスを作成するように構成した場合には、回路の構成が複雑となり装置の高価格化を招く。また、一定の遅延時間を発生させて、主スイッチング素子31と転流用のスイッチング素子43が、同時にオン状態となるのを防止しているため、遅延時間を発生させる分だけ、回路の高速動作性に限界が生ずるという新しい問題点を有している。

【0009】本発明は、上記実情に鑑みてなされたもので、回路の構成が比較的簡単で、かつ、高速動作が可能な同期型のDC/DCコンバータを提供することを目的とするものである。本発明の他の目的は、主スイッチング素子と転流用スイッチング素子が同時にオン状態となることがないように両素子の動作タイミングに遅延時間を設けるようなタイムシーケンスを要するような回路を用いることなく、電力変換効率が良好で、かつ、比較的安価な同期型のDC/DCコンバータを提供することにある。

【0010】

【課題を解決するための手段】請求項1記載の発明に係る同期型DC/DCコンバータは、入力端と出力端との間に主スイッチング素子とコイルとが直接接続されると共に、前記主スイッチング素子とコイルとの接続点とアースとの間に転流用スイッチング素子が設けられ、前記主スイッチング素子と前記転流用スイッチング素子とが交互に導通、非導通状態とされ、前記出力端に所定の直流出力電圧が得られるよう構成されてなる同期型DC/DCコンバータであって、前記主スイッチング素子と前記コイルとの接続点の電圧と、前記出力端における電圧とに基づいて、前記転流用スイッチング素子の動作を制御する転流用スイッチング素子制御手段を具備してなるものである。

【0011】特に、転流用スイッチング素子制御手段は、主スイッチング素子とコイルとの接続点における電圧を分圧する入力側分圧手段と、出力端における出力電圧を2つの異なる電圧に分圧する出力側分圧手段と、前記入力側分圧手段により得られた分圧電圧と前記出力側分圧手段により得られた2つの分圧電圧の内、電圧値の高い一方の分圧電圧とを比較する第1の比較器と、前記入力側分圧手段により得られた分圧電圧と前記出力側分圧手段により得られた2つの分圧電圧の内、電圧値の低い他方の分圧電圧とを比較する第2の比較器と、前記第1の比較器の出力信号によりセット状態とされる一方、前記第2の比較器の出力信号によりリセット状態とされ、出力信号が前記転流用スイッチング素子の動作制御に用いられるセット・リセットフリップフロップとを具備してなるものが好適である。

【0012】かかる構成においては、コイルの入力側及び出力側の電圧を、それぞれ入力側分圧手段と出力側分圧手段により検出し、第1及び第2の比較器によるそれらの分圧電圧の比較結果に基づいて、セット・リセットフリップフロップを介して転流用スイッチング素子がオン・オフ制御されるように構成されている。すなわち、主スイッチング素子がオン状態となると、コイルの入力側の分圧電圧が、コイルの出力側の分圧電圧よりも大となるように回路定数が設定されており、かつ、第1のコンパレータからは論理値Lowの信号が、第2のコンパレータからは論理値Highの信号が、それぞれ出力されるようになっている。これにより、セット・リセットフリップフロップがリセットされて論理値Lowの信号が転流用スイッチング素子へ印加される結果、転流用のスイッチング素子は、オフ状態とされる。一方、主スイッチング素子がオフ状態となった場合には、上述とは逆に、転流用のスイッチング素子がオン状態とされるようになっており、結局、主スイッチング素子がオン状態となるときには、転流用スイッチング素子を確実にオフ状態に、主スイッチング素子がオフ状態となるときには、転流用スイッチング素子を確実にオン状態に、それぞれ

制御でき、従来と異なり、タイムシーケンスによる遅延時間を設定するような構成が必要ないので、高速動作が可能でかつ効率のよい同期型のDC/DCコンバータが提供されることとなるものである。

【0013】

【発明の実施の形態】以下、本発明の実施の形態について、図1及び図2を参照しつつ説明する。なお、以下に説明する部材、配置等は本発明を限定するものではなく、本発明の趣旨の範囲内で種々改変することができるものである。最初に、本発明の実施の形態における同期型DC/DCコンバータの第1の回路構成例について図1を参照しつつ説明する。この同期型DC/DCコンバータは、所定の直流電圧 V_{cc} が印加される主スイッチング素子（図1及び図2においては「Q1」と表記）1を備えている。ここで、主スイッチング素子1としては、NチャンネルMOSFETトランジスタが用いられている。この主スイッチング素子1の出力側には、コイル（図1及び図2においては「L1」と表記）2が直列に接続されており、このコイル2は、出力端子3を介して負荷（図1及び図2においては「LOAD」と表記）4に接続されている。

【0014】また、コイル2の入力側には、転流用ダイオード（図1及び図2においては「D1」と表記）5のカソード側と、転流用スイッチング素子（図1及び図2においては「Q2」と表記）6の一端とが、それぞれ接続されていると共に、これら転流用ダイオード5と転流用スイッチング素子6の他端は、接地されている。ここで、転流用スイッチング素子6としては、NチャンネルMOSFETトランジスタが用いられている。さらに、コイル2の出力側には、平滑用のコンデンサ（図1及び図2においては「C1」と表記）7の一端と、出力電圧に対応する大きさのいわゆる分圧電圧を検出するため直列に接続された第1の抵抗器（図1及び図2においては「R1」と表記）8と第2の抵抗器（図1及び図2においては「R2」と表記）9の内、第1の抵抗器8の一端が、それぞれ接続されており、これら平滑用のコンデンサ7の他端と、第2の抵抗器9の他端は、共に接地されている。

【0015】第1の抵抗器8と第2の抵抗器9の接続点は、第1のコンパレータ10の反転入力端子に接続され、この第1のコンパレータ10の非反転入力端子には、所定の基準電圧 V_s が印加されており、出力端子3における出力電圧の大きさに対応した第1及び第2の抵抗器8、9によるいわゆる分圧電圧が基準電圧 V_s と比較され、その比較結果が、第2のコンパレータ13の反転入力端子へ入力されるようになっている。第2のコンパレータ13は、その出力端子が主スイッチング素子1のゲートに接続される一方、非反転入力端子には、所定の周波数信号を出力する発振器（図1及び図2においては「OSC」と表記）12の出力段が接続されており、

第2のコンパレータ13の比較結果に基づいて、主スイッチング素子1がオン・オフ制御され、出力端子3から負荷4へ所定の直流電圧が出力されるようになっている。

【0016】ところで、上述した構成部分は、基本的には従来のものと同一であるが、この第1の回路構成例では、さらに、コイル2の入力側と出力側の電圧を検出して、転流用スイッチング素子6のオン・オフを制御する転流用スイッチング素子制御回路14を備えている。すなわち、転流用スイッチング素子制御回路14は、コイル2の入力側の電圧を検出するため直列に接続された入力側分圧手段を構成する第3の抵抗器（図1及び図2においては「R3」と表記）15と第4の抵抗器（図1及び図2においては「R4」と表記）16を備えており、第3の抵抗器15の一端は、コイル2の入力側に接続され、第4の抵抗器16の他端が接地されている。

【0017】そして、第3の抵抗器15と第4の抵抗器16の接続点は、第3のコンパレータ17の反転入力端子と第4のコンパレータ18の非反転入力端子に、それぞれ接続されており、コイル2の入力側の電圧に対応した分圧電圧がそれぞれ印加されるようになっている。また、コイル2の出力側には、出力側分圧手段を構成する直列に接続された第5の抵抗器（図1及び図2においては「R5」と表記）19と、第6の抵抗器（図1及び図2においては「R6」と表記）20と、第7の抵抗器（図1及び図2においては「R7」と表記）21とが備えられており、第5の抵抗器19の一端がコイル2の出力側に接続される一方、第7の抵抗器21の他端が接地されている。第5の抵抗器19と第6の抵抗器20の接続点は、第1の比較器としての第3のコンパレータ17の非反転入力端子に接続される一方、第6の抵抗器20と第7の抵抗器21の接続点は、第2の比較器としての第4のコンパレータ18の反転入力端子に接続されている。

【0018】また、第3のコンパレータ17の出力端子は、公知・周知の回路構成を有してなるセット・リセットフリップフロップ（以下「RSFF」と言う）22のセット端子に接続される一方、第4のコンパレータ18の出力端子は、RSFF22のリセット端子に接続されている。そして、RSFF22の出力端子は、転流用スイッチング素子6のゲートに接続されており、このRSFF22の出力に応じて、転流用スイッチング素子6がオン・オフ駆動されるようになっている。

【0019】次に、上記構成における動作について図1を参照しつつ説明する。まず、主スイッチング素子1がオンされると、コイル2の入力側のA点の電圧は、入力電圧 V_{cc} と略等しい値まで上昇する。すると、このA点の電圧は、コイル2の入力側の電圧を検出するために設けられた第3及び第4の抵抗器15、16によって分圧され、これらの第3及び第4の抵抗器15、16の接

続点には、A点の電圧に対応した第3及び第4の抵抗器15、16の抵抗比によって定まる分圧電圧が生じる。この第3及び第4の抵抗器15、16の接続点に生じた分圧電圧は、第3のコンパレータ17の反転入力端子と、第4のコンパレータ18の非反転入力端子にそれぞれ印加される。

【0020】一方、この場合、コイル2の出力側の電圧は、先のA点における電圧に対してコイル2の電圧降下分だけ低いものとなる。そして、このコイル2の出力側の電圧は、第5乃至第7の抵抗器19～21により分圧され、第5及び第6の抵抗器19、20の接続点における分圧電圧が第3のコンパレータ17の非反転入力端子へ、第6及び第7の抵抗器20、21の接続点における分圧電圧が第4のコンパレータ18の反転入力端子へ、それぞれ印加されることとなる。

【0021】ここで、先の第3及び第4の抵抗器15、16による分圧電圧が、第5及び第6の抵抗器19、20の接続点における分圧電圧よりも大となるように、これら第3及び第4の抵抗器15、16並びに第5乃至第7の抵抗器19～21の各抵抗値が予め設定されているため、結局、上述したように分圧電圧が第3及び第4のコンパレータ17、18に印加されると、第3のコンパレータ17からは、論理値Lowに対応する出力信号が、第4のコンパレータ18からは、論理値Highに対応する出力信号が、それぞれ出力されることとなる。

【0022】その結果、RSFF22が第4のコンパレータ18の出力信号によりリセットされ、その出力Qは、論理値Lowの状態となり、これが転流用スイッチング素子6のゲートに印加されるため、転流用スイッチング素子6はオフ状態とされることとなる。

【0023】次に、主スイッチング素子1がオフ状態とされると、コイル2の入力側のA点の電圧は、転流用ダイオード5の順方向電圧 V_F に向かって下降する。一方、このコイル2の入力側のA点の電圧が順方向電圧 V_F に向かって下降する間に、コイル2の出力側における電圧は、コイル2の作用により入力側のA点の電圧変化とは異なり、急激に下降せずに緩慢に変化するため、第3及び第4の抵抗器15、16の接続点における分圧電圧は、第5の抵抗器19と第6の抵抗器20の接続点における分圧電圧及び第6の抵抗器20と第7の抵抗器21の接続点における分圧電圧に比して即座に低くなり、その結果、第3のコンパレータ17からは、論理値Highに対応する出力信号が、第4のコンパレータ18からは、論理値Lowに対応する出力信号が、それぞれ出力され、RSFF22の出力Qが論理値Highの状態となる。このため、転流用スイッチング素子6は、オン状態とされ、A点の電圧は、先の順方向電圧 V_F より低い略接地電位に近い状態となる。

【0024】上述したような主スイッチング素子1のオン・オフ動作に伴う動作が繰り返されることで、第1の

抵抗器8と第2の抵抗器9の抵抗値の大きさで決定される出力電圧が、出力端子3から負荷4へ供給され、主スイッチング素子1がオフの間、順方向電圧 V_F が残ることによって起因する従来のような電力変換効率の低下が確実に回避されることとなる。なお、主スイッチング素子1のオン・オフ制御については、従来と基本的に変わるところがないので、上述の動作説明においては省略したが、ここで、概略的に説明すれば、まず、出力電圧は、第1及び第2の抵抗器8、9により分圧されたものが、第1のコンパレータ10の反転入力端子に印加され、基準電圧 V_S と比較される。そして、この第1及び第2の抵抗器8、9による分圧電圧が基準電圧 V_S 以下の場合に、第1のコンパレータ10から論理値Highに対応する信号が出力され、これが第2のコンパレータ13において、発振器12からの信号と比較される結果、主スイッチング素子1がオン・オフ制御されるようになっている。

【0025】なお、第3のコンパレータ17及び第4のコンパレータ18の閾値および入力範囲は、第3及び第4の抵抗器15、16並びに第5乃至第7の抵抗器19～21の値を変えることによって適宜調整することができる。また、転流用スイッチング素子6がオン状態となるときに閾値を、入力電圧 V_{CC} 近辺に、オフ状態となるときに閾値を、グランド電圧近辺に、それぞれ設定することにより、この転流用スイッチング素子6を速やかにオン・オフすることができるタイミングを得ることができる。

【0026】次に、第2の回路構成例について図2を参照しつつ説明する。なお、図1に示された回路構成例と同一の構成要素については、同一の符号を付してその詳細な説明は省略し、以下、異なる点を中心に説明することとする。この第2の回路構成例における同期型DC/DCコンバータは、第1のコンパレータ10のための分圧電圧を得る抵抗器と、第3及び第4のコンパレータ17、18のための分圧電圧を得る抵抗器との共有を図り、回路の簡素化を図ったものである。

【0027】すなわち、具体的には、コイル2の出力側において、コイル2の出力側の端部とアースとの間に、先の図1に示された回路構成例における第1及び第2の抵抗器8、9と第5乃至第7の抵抗器19～21に代えて、第8乃至第11の抵抗器23～26が直列接続されている。また、第8の抵抗器23と第9の抵抗器24との接続点が、第3のコンパレータ17の非反転入力端子へ、第9の抵抗器24と第10の抵抗器25との接続点が第1のコンパレータ10の反転入力端子へ、第10の抵抗器25と第11の抵抗器26との接続点が第4のコンパレータ18の反転入力端子へ、それぞれ接続されている。

【0028】そして、これら第8乃至第11の抵抗器23～26の各抵抗値は、図1に示された回路構成例の動

10

20

30

40

50

作説明で説明したと同様な各コンパレータ10、17、18の動作が得られるように、それぞれ設定されたものとなっている。したがって、回路動作としては、先の図1に示された第1の回路構成例の場合と基本的に同一であるので、ここでの再度の説明は省略することとする。

【0029】この第2の回路構成例においては、第1のコンパレータ10と、第2のコンパレータ13と、発振器12とにより主スイッチング素子制御手段が実現され、第8乃至第11の抵抗器23～26により出力電圧分圧手段及び主スイッチング素子制御用出力電圧分圧手段が実現されたものとなっている。

【0030】なお、上述した本発明の実施の形態では、主スイッチング素子1及び転流用スイッチング素子6として、NチャンネルMOS FETトランジスタを用いた場合について説明したが、これに限定されるものではなく、他のMOS FETや、バイポーラ素子を用いても、また、FET素子とバイポーラ素子とを組み合わせた構成としてもよく、いずれにあっても同様の動作を得ることができる。また、主スイッチング素子1及び転流用スイッチング素子6は、n段のFET素子を直列又は並列に接続したもの、あるいはn段のバイポーラ素子を直列又は並列に接続した構成としてもよく、その場合にあっても基本的に同様の動作を得ることができる。

【0031】さらに、上述した本発明の実施の形態では、主スイッチング素子1とコイル2の接続点Aの電圧、及び出力電圧を検出するための分圧手段として、抵抗器を用いたが、FETのいわゆるオン抵抗を利用して分圧するような構成としても、同様な動作を得ることができる。またさらに、抵抗器とFET素子、あるいは抵抗器とバイポーラ素子とを組み合わせた分圧手段を構成するようにしても同様である。

【0032】また、転流用スイッチング素子6を制御するための制御回路の電源は、入力電圧Vccあるいは出力電圧のいずれかから供給するように構成しても良い。

さらに、起動時は入力電圧Vccから、その後は出力電圧から供給するように切り替えるようにしても、同様の動作を得る得ることができる。

【0033】

【発明の効果】以上説明したように、本発明によれば、転流用スイッチング素子の動作を、コイルの入力側の電圧と、出力電圧とに基づいて制御できるような構成とすることにより、従来のような特別のタイムシーケンスの作成を要するような回路を用いることなく、主スイッチング素子と転流用スイッチング素子を確実に交互にオン・オフ状態とすることができ、回路の構成が比較的簡単で、かつ、高速動作が可能な同期型DC/DCコンバータを提供することができるものである。

【図面の簡単な説明】

【図1】本発明の実施の形態における同期型DC/DCコンバータの第1の回路構成例を示す回路図である。

【図2】本発明の実施の形態における同期型DC/DCコンバータの第2の回路構成例を示す回路図である。

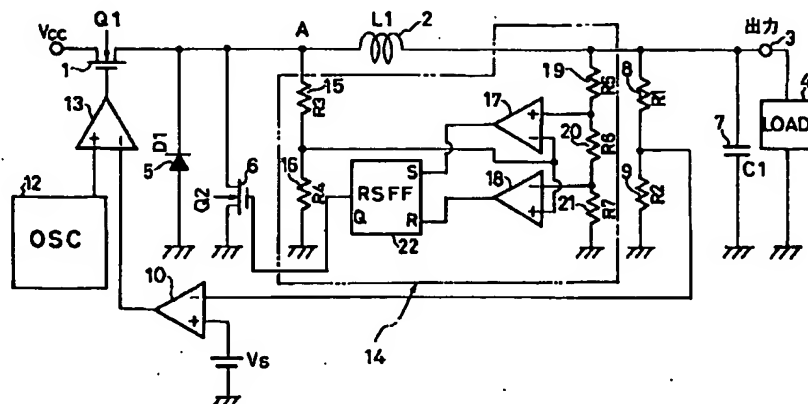
【図3】従来の非同期型DC/DCコンバータの回路構成例を示す回路図である。

【図4】従来の同期型DC/DCコンバータの回路構成例を示す回路図である。

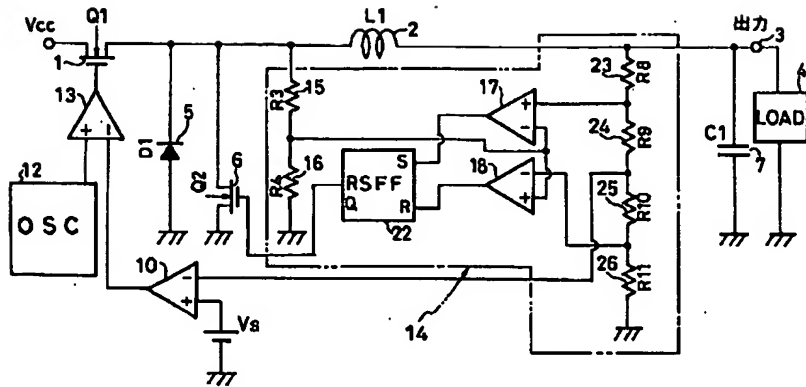
【符号の説明】

- 1…主スイッチング素子
- 2…コイル
- 5…転流用のダイオード
- 6…転流用スイッチング素子
- 10…第1のコンパレータ
- 13…第2のコンパレータ
- 14…転流用スイッチング素子制御回路
- 17…第3のコンパレータ
- 18…第4のコンパレータ
- 22…RSFF

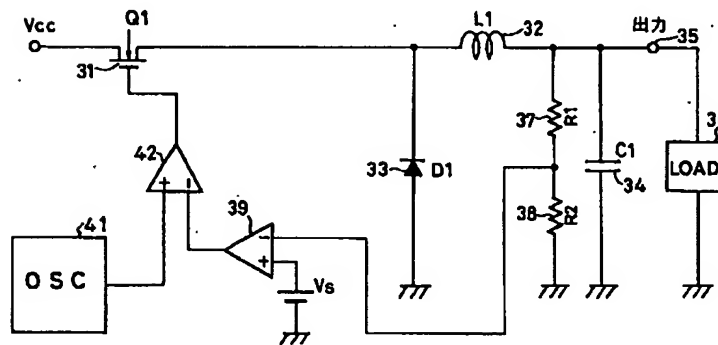
【図1】



【図2】



【図3】



【図4】

